

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-204179

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9055-4M	H 0 1 L 29/ 78	6 5 3 A
		9055-4M		6 5 2 B

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号 特願平7-10272
 (22) 出願日 平成7年(1995)1月26日

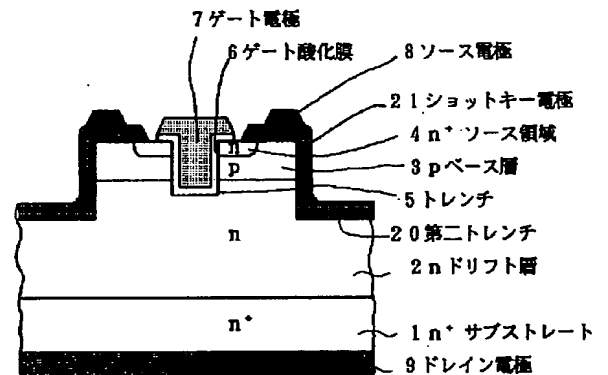
(71) 出願人 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (72) 発明者 上野 勝典
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 (74) 代理人 弁理士 山口 慶

(54) 【発明の名称】 炭化ケイ素トレンチMOSFET

(57) 【要約】

【目的】 トレンチにゲート電極が埋め込まれた形のSiC(炭化けい素)トレンチMOSFETにおいて、電圧印加時のゲート絶縁膜の絶縁破壊を防止し、アバランシェ耐量の増大を図る。

【構成】 MOSFETのpベース層を表面から掘り下げ、ゲート部のトレンチより深い第二のトレンチを形成し、その第二のトレンチの底面および側面にTi等からなるショットキー電極を設け、そのショットキー電極とソース電極とを接続する。電圧印加時に、第二のトレンチ部で最初にアバランシェ降伏が起きるので、ゲート絶縁膜の絶縁破壊を防止でき、また、アバランシェ耐量も向上する。



【特許請求の範囲】

【請求項 1】第一導電型の炭化ケイ素半導体サブストレート上にエピタキシャル成長法により順に形成されたサブストレートより不純物濃度の低い炭化ケイ素の第一導電型ドリフト層と炭化ケイ素の第二導電型ベース層と、その第二導電型ベース層の表面層の一部に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第一導電型ドリフト層に達するトレンチを有し、そのトレンチ内に絶縁膜を介して電圧を印加する電極を備えるものにおいて、前記トレンチよりさらに深い第二のトレンチを有し、その第二のトレンチの内面に接するショットキー電極を備えることを特徴とする炭化ケイ素トレンチ MOSFET。

【請求項 2】第一導電型の炭化ケイ素半導体サブストレート上にエピタキシャル成長法により順に形成されたサブストレートより不純物濃度の低い炭化ケイ素の第一導電型ドリフト層、炭化ケイ素の第二導電型ベース層と炭化ケイ素の第一導電型ソース層と、その第一導電型ソース層の表面から第一導電型ドリフト層に達するトレンチとを有し、そのトレンチ内に絶縁膜を介して電圧を印加する電極を備えるものにおいて、前記トレンチよりさらに深い第二のトレンチを有し、その第二のトレンチの内面に接するショットキー電極を備えることを特徴とする炭化ケイ素トレンチ MOSFET。

【請求項 3】第二のトレンチに接触する電極が Ti、Al、Pt、Al-Ti 合金のいずれかからなることを特徴とする請求項 1 または 2 に記載の炭化ケイ素トレンチ MOSFET。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、高温や放射線化など過酷な条件下において使用可能な炭化ケイ素を用いた縦型高耐圧 MOSFET（電界効果トランジスタ）に関する。

【0002】

【従来の技術】炭化ケイ素（以下 SiC と略す）は、バンドギャップが大きく、また化学的に安定な材料であるため、シリコンと比較すると高温や放射線下でも使用可能な各種の半導体デバイスが期待されて、研究されている。従来のシリコンのデバイスでは、最高でも 150℃ 程度がその動作限界とされているが、SiC では、既に pn 接合ダイオードや MOSFET（金属-酸化膜-半導体構造の電界効果トランジスタ）等の要素デバイスが試作され、400℃ 以上の高温でも動作が確認されている。このような高温での使用が可能となれば、原子炉や宇宙など環境が酷しく、人の近づけない環境でのロボットやコンピュータなどが使用可能となる。また、従来のシリコンデバイスは、動作時の発生損失による発熱により温度上昇してしまうため、これを抑制する冷却設備を備える必要があり、冷却フィンや、冷却設備のために装

置全体が大型化してしまう。SiC では、これらの冷却設備を大幅に小型化、簡素化が可能となる。多くの部品を占める半導体デバイスを以上のように小型化が可能となれば、例えば自動車では、大幅に燃費を向上させることが可能となり、環境保全にも多大な効果が期待できる。このように SiC の半導体デバイスは、多くの応用分野で期待されている。

【0003】縦型 MOSFET は、SiC の電力用半導体デバイスへの適用を考える上で重要なデバイスである。その理由は電圧駆動型デバイスであるため素子の並列駆動や、駆動回路が簡素化が可能なこと、および、ユニポーラ素子であるために、高速スイッチングが可能なことによる。SiC においては、シリコンと異なり深い不純物拡散が困難であるのに対してエピタキシャル成長は比較的容易であるので、図 4 のようなトレンチ 5 を持つトレンチ MOSFET が一般的である。図 4 は、これまで試作されている SiC のトレンチ MOSFET の要部断面図である。図において、n⁺ サブストレート 1 上にそれより不純物濃度の低い n ドリフト層 2 と p 型の p ベース層 3 をエピタキシャル成長した SiC 基板の表面層に選択的に高濃度の n⁺ ソース領域 4 が形成され、その n⁺ ソース領域 4 の一部に、表面から n ドリフト層 2 に達する溝（以後トレンチと呼ぶ）5 が形成されている。トレンチ 5 の内側には、ゲート絶縁膜 6 を介してゲート電極 7 が設けられ、また、n⁺ ソース領域 4 の表面と p ベース層 3 の表面露出部に共通に接触してソース電極 8、n⁺ サブストレート 1 の裏面にドレイン電極 9 がそれぞれ設けられている。

【0004】この MOSFET の動作は、ドレイン電極 9 とソース電極 8 との間に電圧を印加した状態で、ゲート電極 7 がある値以上の正の電圧を加えると、ゲート電極 7 の横の p ベース層 3 の表面層に反転層が形成され、その反転層を通じてソース電極 8 からドレイン電極 9 へと電子電流が流れるものである。SiC においては、ゲート絶縁膜として SiC を熱酸化してできるシリコン酸化膜が使用できる。

【0005】

【発明が解決しようとする課題】絶縁膜と半導体の界面に於いて、絶縁膜の電界を E_i、半導体の電界を E_s とすると、

$$\epsilon_i \cdot E_i = \epsilon_s \cdot E_s$$

なる式が成り立つ。ここで ϵ_s は、半導体の誘電率、 ϵ_i は絶縁膜の誘電率である。従って

$$E_i / E_s = \epsilon_s / \epsilon_i$$

である。この値をシリコンと SiC の場合について計算してみる。

【0006】

$$\epsilon_s = 11.7$$

(シリコン)

$$\epsilon_s = 10.0$$

(SiC)

であり、いま、絶縁膜をシリコン酸化膜として、その誘

電率 $\epsilon_i = 3.8$ を代入すると

$$E_i / E_s = 3.1 \quad (\text{シリコン})$$

$$E_i / E_s = 2.6 \quad (\text{SiC})$$

となる。すなわち、図4の従来の構造ではゲート絶縁膜には、半導体部分よりはるかに大きい電界がかかることになる。図5に図4のA-A線に沿ったゲート部分での電界分布を示す。縦軸は電界強度、横軸は深さである。絶縁膜の電界強度 E_i は、半導体のそれ E_s の約3倍大きい。

【0007】更に、半導体の最大電界 E_{smax} は、
 $E_{smax} = 2 \times 10^5 \text{ V/cm}$ (シリコン)
 $E_{smax} = 2 \times 10^6 \text{ V/cm}$ (SiC)
 であるから、絶縁膜の最大電界 E_{imax} は、
 $E_{imax} = 6 \times 10^5 \text{ V/cm}$ (シリコン)
 $E_{imax} = 5 \times 10^6 \text{ V/cm}$ (SiC)
 となる。シリコン酸化膜の絶縁破壊耐圧は $8 \times 10^6 \text{ V/cm}$ 程度であることを考えると、半導体内部でアバランシェ降伏が始まるころには、SiCの場合、ゲート絶縁膜に絶縁破壊耐圧に近い大きな電界が印加されることになる。

【0008】通常パワーデバイスでは、アバランシェ電流が流れた際に、一定電流まで耐えることが要求されるが、従来のSiCトレンチMOSFETでは、アバランシェ降伏がゲート部のトレンチで始まるので、そのアバランシェ耐量がゲート絶縁膜の絶縁破壊によって規定されてしまい、非常に小さな値になっている。以上の問題に鑑み、本発明の目的は、ゲート絶縁膜の絶縁破壊が起きない、アバランシェ耐量の大きいSiCトレンチMOSFETを提供することにある。

【0009】

【課題を解決するための手段】上記の課題解決のため本発明は、第一導電型の炭化ケイ素半導体サブストレート上にエピタキシャル成長法により順に形成されたサブストレートより不純物濃度の低い炭化ケイ素の第一導電型ドリフト層と炭化ケイ素の第二導電型ベース層と、その第二導電型ベース層の表面層の一部に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第一導電型ドリフト層に達するトレンチを有し、そのトレンチ内に絶縁膜を介して電圧を印加する電極を備える炭化ケイ素トレンチMOSFETにおいて、前記トレンチよりさらに深い第二のトレンチを有し、その第二のトレンチの内面に接するショットキー電極を備えるものとする。

【0010】また、第一導電型の炭化ケイ素半導体サブストレート上にエピタキシャル成長法により順に形成されたサブストレートより不純物濃度の低い炭化ケイ素の第一導電型ドリフト層、炭化ケイ素の第二導電型ベース層と炭化ケイ素の第一導電型ソース層と、その第一導電型ソース層の表面から第一導電型ドリフト層に達するトレンチとを有し、そのトレンチ内に絶縁膜を介して電圧

を印加する電極を備える炭化ケイ素トレンチMOSFETにおいて、前記トレンチよりさらに深い第二のトレンチを有し、その第二のトレンチの内面に接するショットキー電極を備えるものでもよい。

【0011】特に、第二のトレンチの内面に接触する電極がTi、Au、Pt、Al-Ti合金のいずれかからなるものとする。

【0012】

【作用】上記の手段を講じ、ゲート電極の充填されたトレンチより深い第二のトレンチの内面に接するショットキー電極を備えることによって、最大電界の発生する場所が、ゲート絶縁膜のあるトレンチと異なる部分となり、絶縁膜の絶縁破壊を防止し、アバランシェ耐量を増大させることができる。

【0013】特に、第二のトレンチに接触する電極がTi、Au、Pt、Al-Ti合金のいずれかからなるものとするれば、十分な耐圧を持つショットキー電極が比較的低温で形成できる。

【0014】

【実施例】図1は、本発明を実施例のSiCトレンチMOSFETの要部断面図である。図に示したのは、電流のオン・オフを行う活性領域であり、MOSFETには、この他に主に周縁部に耐圧を担う部分があるが、その部分は本発明の本質に関わる部分ではないので記述を省略する。図において、 n^+ サブストレート1上にそれより不純物濃度の低い n ドリフト層2と p 型の p ベース層3をエピタキシャル成長したSiC基板の p ベース層3の表面層に選択的に高濃度の n^+ ソース領域4が形成され、その n^+ ソース領域4の一部に、表面から n ドリフト層2に達するトレンチ5が形成されている。トレンチ5の内側には、シリコン酸化膜のゲート絶縁膜6を介して多結晶シリコンのゲート電極7が設けられている。また n^+ サブストレート1の裏面にNi膜のドレイン電極9が設けられている点は、図3の従来のMOSFETと同じであるが、このMOSFETでは、 p ベース層3の表面からゲート部分のトレンチ5よりも深い第二トレンチ20が形成されている。そして、その第二トレンチ20の底面から p ベース層3の表面に達するTiからなるショットキー電極21が設けられている。 n^+ ソース領域4の表面上とショットキー電極21とに共通に接触してNi膜のソース電極8が設けられている。

【0015】図1のMOSFETの動作は、ドレイン電極9とソース電極8との間に電圧を印加した状態で、ゲート電極7にある値以上の正の電圧を加えると、ゲート電極7の横の p ベース層3の表面層に反転層が形成され、その反転層を通じてソース電極8からドレイン電極9へと電子電流が流れるものである。図1のMOSFETでは、第二のトレンチ20の深さは、ゲート部分のトレンチ5よりも深いので、ドレイン電極9とソース電極8との間に電圧を印加し、その電圧を高めた際、第二の

トレンチ 20 の角部で最初にアバランシェ降伏が起きるので、ゲート部のトレンチ 5 の角部でアバランシェ降伏が起きてゲート絶縁膜 6 が破壊することはない。すなわち、電圧印加時にゲート絶縁膜が絶縁破壊することのない、アバランシェ耐量の大きい MOSFET とすることができる。

【0016】図 3 (a) ないし (e) は、図 1 の実施例のトレンチ MOSFET の製造方法を説明するための各工程の断面図である。n⁺ サブストレート 1 上にそれより不純物濃度の低い n ドリフト層 2 と p 型の p ベース層 3 をエピタキシャル成長した SiC 基板の、p ベース層 3 の表面層に選択的に高濃度の窒素イオンの注入および熱処理による活性化を行い、n⁺ ソース領域 4 を形成する【図 3 (a)】。次にフォトレジストのパターニングと塩素/酸素の混合ガスを用いたプラズマエッチングによって、ゲート部分のトレンチ 5 とアバランシェ発生領域のトレンチ 20 を形成する【図 3 (b)】。このプロセスは、選択酸化によってもできる。ここでアバランシェ発生領域の第二のトレンチ 20 の深さは、ゲート部分のトレンチ 5 よりも深くすることが重要である。次にゲート部分のトレンチ 5 内に熱酸化によりゲート絶縁膜 6 を形成し、さらに減圧 CVD 法により多結晶シリコンを充填してゲート電極 7 を形成する。続いて、アバランシェ発生領域の第二のトレンチ 20 内に Ti をスパッタ法により被着し、フォトレジストのパターニングをしてショットキー電極 21 を形成する【図 3 (c)】。最後に Ni をスパッタ法により被着してソース電極 8 およびドレイン電極 9 を形成する【図 3 (d)】。

【0017】ショットキー電極は、他に Au、Pd、Al-Ti 合金によっても形成でき、いずれも低温で形成可能である。高耐圧のショットキーダイオードも試作されていて、SiC では高耐圧のショットキー接合が実現できる。以上のように本発明の SiC トレンチ MOSFET の製造プロセスの実施上、特に問題となるような点は無い。

【0018】図 2 は、本発明の別の実施例の SiC トレンチ MOSFET の要部断面図である。図において、n⁺ サブストレート 1 上にそれより不純物濃度の低い n ドリフト層 2、p 型の p ベース層 3 および高濃度の n⁺ ソース層 14 をエピタキシャル成長した SiC 基板の表面から n ドリフト層 2 に達するトレンチ 5 およびそれより深い第二のトレンチ 20 が形成されている。トレンチ 5 の内側には、シリコン酸化膜のゲート絶縁膜 6 を介して多結晶シリコンのゲート電極 7 が設けられている。また n⁺ サブストレート 1 の裏面にドレイン電極 9 が設けられている点は、図 1 の第一の実施例の MOSFET と同じである。しかし、この MOSFET では、n⁺ ソース層 14 をエピタキシャル成長したので、その一部をエッ

チング除去してステップ 15 を形成し、p ベース層 3 の表面を露出させ、第二のトレンチ 20 の底から p ベース層 3 の露出表面に達する Ti からなるショットキー電極 21 が設けられている。そして、n⁺ ソース層 14 の表面上とショットキー電極 21 とに共通に接触して Ni 膜のソース電極 8 が、また n⁺ サブストレート 1 の裏面にドレイン電極 9 が設けられている。

【0019】図 2 の MOSFET においても、第二のトレンチ 20 の深さは、ゲート部分のトレンチ 5 よりも深いので、そのトレンチ 20 の角部で最初にアバランシェ降伏が起き、ゲート絶縁膜 6 が破壊することはない。すなわち、電圧印加時にゲート絶縁膜が絶縁破壊することのない、アバランシェ耐量の大きい MOSFET とすることができる。

【0020】

【発明の効果】以上説明したように本発明の SiC 縦型 MOSFET は、ゲート部より深いトレンチを設け、そのトレンチ内に、Ti 等からなるショットキー電極を形成することによって、電圧印加時にゲート絶縁膜が絶縁破壊することのない、アバランシェ耐量の大きい SiC トレンチ MOSFET とすることができる。

【図面の簡単な説明】

【図 1】本発明の実施例の SiC トレンチ MOSFET の要部断面図

【図 2】本発明の別の実施例の SiC トレンチ MOSFET の要部断面図

【図 3】(a) ないし (d) は図 1 のトレンチ MOSFET の製造方法を説明するための製造工程順の要部断面図

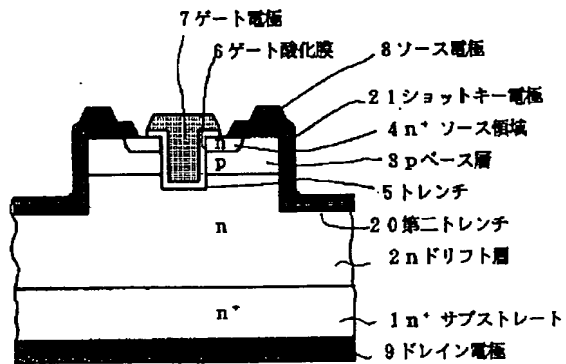
【図 4】従来の SiC トレンチ MOSFET の要部断面図

【図 5】図 4 のトレンチ MOSFET における A-A 線に沿っての電界強度分布図

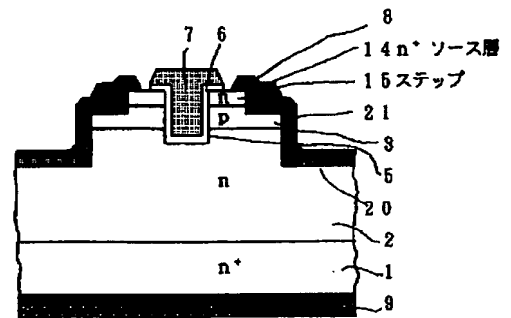
【符号の説明】

1	n ⁺ サブストレート
2	n ドリフト層
3	p ベース層
4	n ⁺ ソース領域
5	トレンチ
6	ゲート絶縁膜
7	ゲート電極
8	ソース電極
9	ドレイン電極
14	n ⁺ ソース層
15	ステップ
20	第二トレンチ
21	ショットキー電極

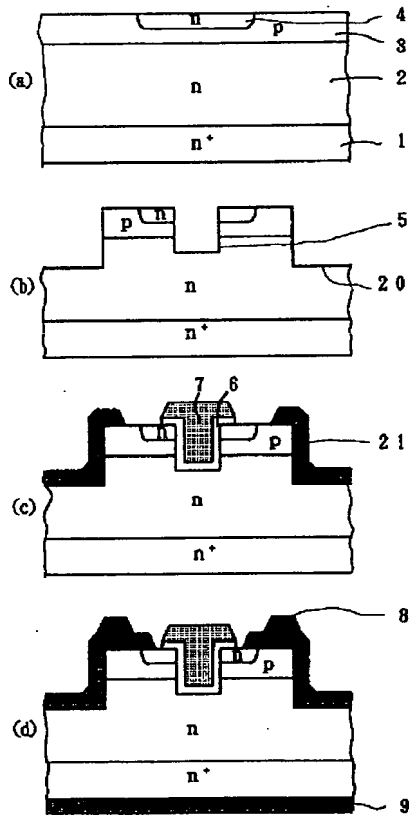
【図1】



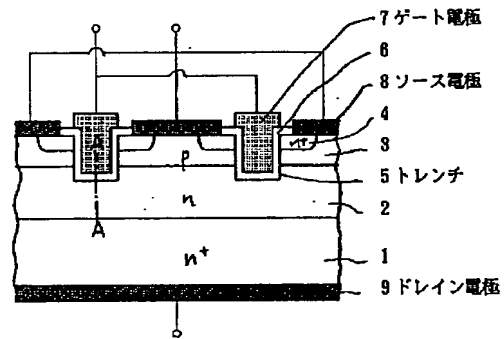
【図2】



【図3】



【図4】



【図5】

